

## AG10K/16K FPGA 设计参考

### 1. PLL

AG10K FPGA 工程如果在编译时出现“Error: Please use a live signal to reset PLL”错误信息。设计中需要在系统启动后做个 PLL 复位,可以参考下面 Verilog 代码,这里需要 PLL IP 的 areset 或 pfdena 引出,用 PLL 的输入时钟触发计数器输出来控制复位信号。

```
reg [5:0] reset_init = 6'b0 /* synthesis syn_preserve = 1*/;
wire init = reset_init[5];
always @ (posedge inclk) begin
    if (!init) begin
        reset_init <= reset_init + 1'b1;
    end
end

PLL inst (
    .inclk(inclk),
    .areset(!init),
    .pfdena(init),
    ....
);
```

**注意:** 在 DateCode 2234 日期之后的 AG10K 芯片可以不加入复位控制,可以使用 2023 年新版本 Supra 设计,提示信息只是 warning,可以忽略。原设计有复位的话也不影响运行。

### 2. Flash 管脚

如果在设计中对配置 FLASH 进行读写,则要在 Quartus II 中把 4 个 SPI 配置管脚设置为“Use as regular I/O”。

### 3. VccINT

如果 FPGA 的资源利用率较高,或者设计时序要求高,建议把 1.2V 的 VccINT 电压,升高到正常电压范围的 1.25V,会有效提高 FPGA 性能和稳定性。

### 4. FLASH 编程文件

离线单独烧写配置用 SPI FLASH,使用 XXX\_master.bin,可通过第三方 FLASH 编程器烧写。如使用其它兼容 Altera POF 文件的烧写工具,需注意 Altera 文件 MSB-LSB 为反向,需倒置后才可正确烧写。

## 5. AS 口在线烧写 FLASH

如果使用 USB-Blaster 通过 AS 接口在线烧写配置用 SPI FLASH，由于 AG10K 的 DCLK、nCSO、ASDO 管脚并未输出三态，因此需分别串接 1K $\Omega$  电阻，使得 USB-Blaster 驱动能力高过这些管脚的输出能力，且 DCLK 时钟降低频率，即可实现正常烧写和配置。

建议 FPGA 采用 JTAG 接口，则可直接通过 Supra 软件烧写 XXX\_master.prg 文件到 SPI FLASH 中，无需通过 AS 接口。

**注意：**在 DateCode 2234 日期之后的 AG10K 芯片没有以上问题，可以不串接电阻，和 Altera 兼容型号电路一致。

## 6. CLK 输入管脚

CLK 专用输入管脚，没有内部上拉电阻，所以在悬空没有输入状态时，会得到 0 的电平数据。这和 Altera EP4C 的高电平结果不同。如果正常输入时钟或信号驱动，则没有影响。

## 7. Latch 锁存器

支持 latch，但建议设计中不用 latch，异步电路时序不容易分析操作，建议不使用。

## 8. Conf\_done

所有 fpga 逻辑功能必须发生在 fpga 配置完成之后（conf\_done 为高）。

## 9. 除法器

如设计中使用了除法器，需对除法器的路径设置 multicycle。除法器的 latency 即为 multicycle 的时钟数。如无法满足 timing，建议增加除法器的 latency。

## 10. 烧写文件压缩

AG10K/16K 支持 AS 模式的烧写文件压缩，以减少存储空间。但不同设计压缩出的文件大小不一，如需统一文件存储空间，可选非压缩方式。

AG10K 不支持 PS 模式的烧写文件压缩。原 QuartusII 设计里如果选了压缩，产生的编程文件则无法正常运行，请取消设置；或者在 AGM 项目中的 DesignName.asf 中加入：

```
set_global_assignment -name ON_CHIP_BITSTREAM_DECOMPRESSION OFF
```

AG16K 支持 PS 压缩。

## 11. 3.3V IO

软件中要按实际 IO 电压正确设置。Quartus II 中对 IO standard 的默认为 2.5V，如果实际采用 3.3V，需要修改 IO 默认值为 3.3V。

AG10K/16K SDE176，由于内部 SDRAM 为 3.3V，VCCIO 必须使用 3.3V，软件中也要设置正确。

## 12. 电源上电顺序

3.3V VCCIO 电源应不晚于 VCCINT 1.2V 和 2.5V 上电，这样保证 FPGA 在启动配置前，使得配置 FLASH（3.3V）启动完成，从而避免上电配置失败。

## 13. PLL 时钟输出

为了避免时钟域 skew 或 jitter，如果需要同频率同相位的时钟驱动不同功能，尽可能合并成同一个时钟进行处理，不要采用多个同样的输出时钟这种方式，避免跨时钟域的情况出现。

不同频的时钟，尽可能采用 RAM 或者 FIFO 交互，如果寄存器直接交互，尽可能通过设计保证时钟采样在数据中间位置。

#### **14. 逻辑资源优化**

当逻辑资源比较紧张时，推荐将同步复位改为异步复位，可以节省一定的逻辑资源；

#### **15. MSEL 配置模式选择**

MSEL[0..2]在 AS 模式连接为 010 或 101，PS 模式为 000。管脚要直接连接 VCC 或 GND，不用串接电阻。

## AG10KL144H 转换注意事项

AG10KL144H 为 AG10KL144 升级型号，封装管脚兼容，性能更优，增加部分功能特性。内部 IP 与 AG16K 一致。

**芯片丝印：**根据不同批次，有 2 种，均为正确标识：

1. 型号标识为 AG10KL144H
2. 日期编码（DATE CODE）后加 H，如 2302H，型号标识仍为 AG10KL144

原 AG10KL144 设计替换为 144H，需要注意以下事项。

1. Supra 原工程需要重新编译，Device 选择 AG10KL144H，其它设置可以不变。
2. AG10KL144 PLL 的复位控制可以省去，如已加入也可正常使用。  
(参考上节 1.PLL)
3. AS 口烧写 FLASH 用 XXX\_master\_as.prg 文件，SPI 端口不需串接电阻。  
(参考上节 5. AS 口在线烧写 FLASH)
4. PS 烧写可以支持数据文件的压缩。  
(参考上节 10. 烧写文件压缩)
5. 原 AG10KL144 的 Dual-Boot IP (alta\_boot) 需要用 Remote-Upgrade IP (alta\_remote) 替代，功能更强大，具体可以参考 Manual\_remote.pdf 文档。
6. 原 AG10KL144 的 MCU IP (alta\_mcu) 需要用 (alta\_mcu\_m3) 替代。
7. 如果原 AG10KL144 设计 MSEL[0..2]串接了电阻到 VCC 或 GND，请改为 0 欧或直连，否则可能会导致 Supra 烧录 FLASH 错误。  
(参考上节 15. MSEL 配置模式选择)
8. 新增支持 Quartus II 中的 Signal Tap 功能，编译烧录后可使用。

## AG10KL144H 如何升级使用 16K LEs

AG10KL144H 为 AG10KL144 管脚兼容型号，但实际逻辑资源可以达到 16K LEs，也可使用 AG16K IP。如果仅用 10K，可以遵循原兼容型号设计转换流程（参考 Manual\_supra.pdf），即采用 Quartus 的 EP4CE10E22 工程来转换，只是 Supra 内型号选择 AG10KL144H。

如果希望用到 16K LEs，需要采用非兼容型号的 prepare 设计流程，类似 AG10K/16K SDE176 系列。Supra 里选择 **AG16KL144A** 这个新型号。

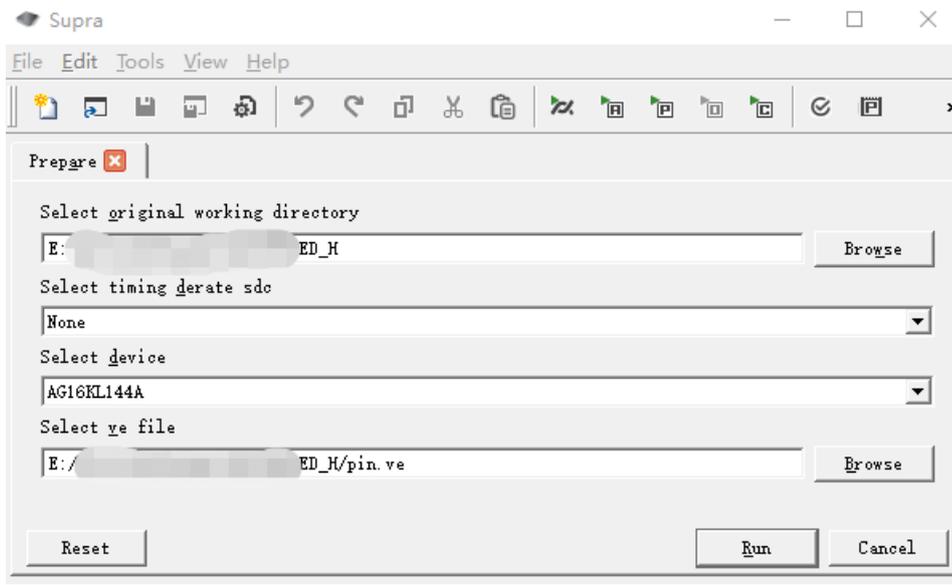
### ● 软件开发流程（Compatible 模式）

先用 Quartus 基于 Cyclone IV **EP4CE15F23** 为基础完成原始设计。管脚位置分配可先清空。

新建一个文本格式的管脚分配文件，命名为<design>.ve。编辑 ve 文件加入 FPGA 的 IO 位置设置，这里需要参考 AG10KL144 的管脚位置，ve 文件格式如下（管脚设计名称+空格+封装管脚名称），例如：

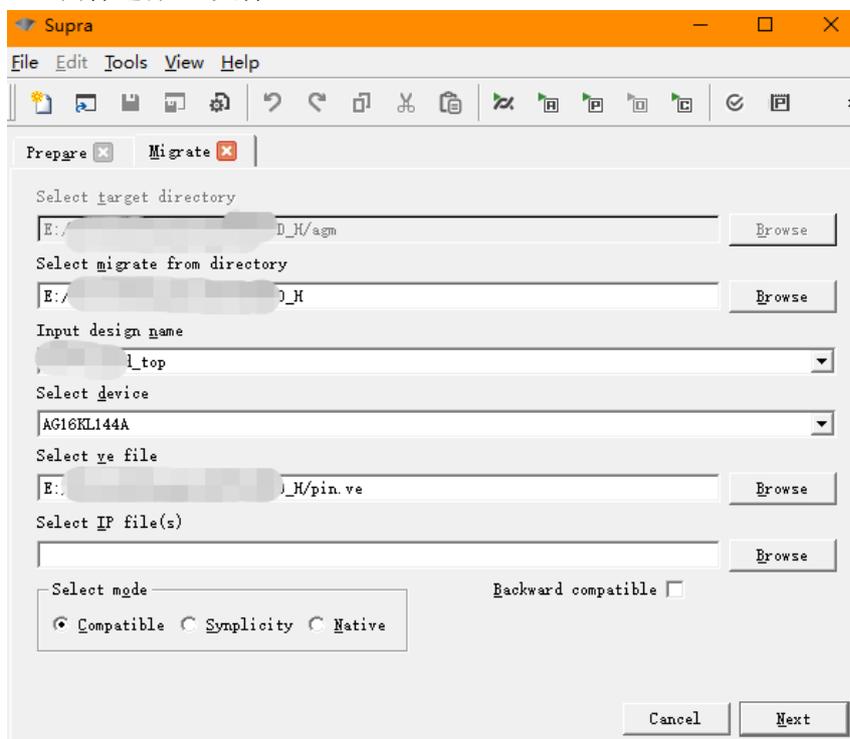
```
rst    PIN_24
clk    PIN_23
led[0] PIN_31
led[1] PIN_32
.....
```

新建一空目录作为 **AG16KL144A** 的项目目录。打开 AGM Supra 软件，在此目录中新建工程。执行 Tools-Prepare。选择原 Quartus II 项目目录，Device 选 AG16KL144A，并选择编辑好的 ve 文件后，点击 Run。正确运行后会生成 af\_prepare.tcl 等文件。

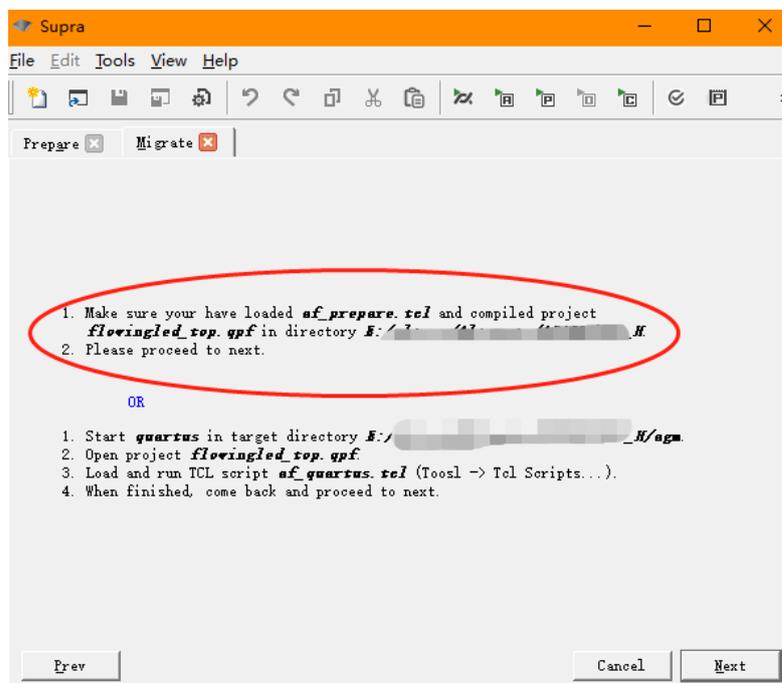


打开原 Quartus 项目，通过 Tools-Tcl Scripts 运行 af\_prepare.tcl 脚本文件，会把 ve 的内容导入到 EP4CE15 对应的管脚分配，并继续执行编译过程，在项目目录中生成 Simulation 目录以及综合后的 vo 等文件。

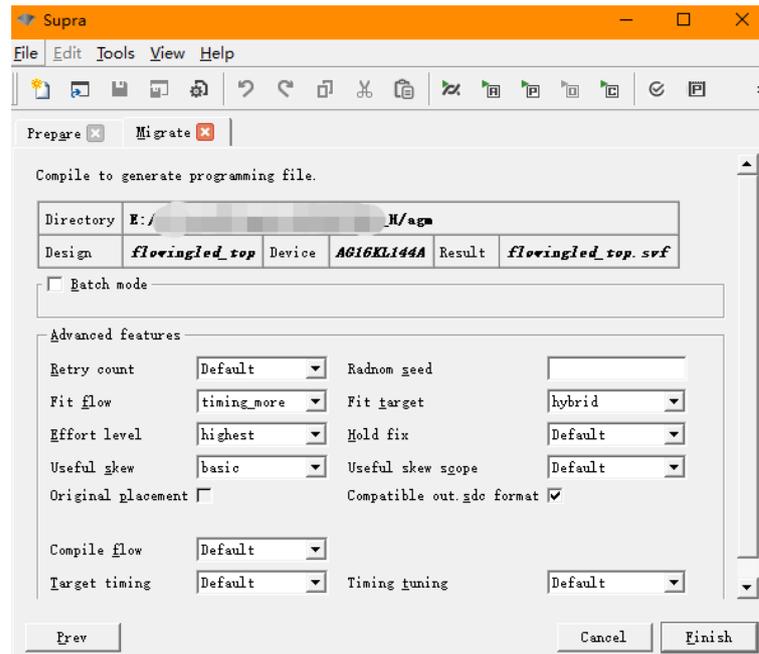
打开 AGM Supra 软件，执行 Tools-Migrate。Target directory 默认为当前工程目录，From directory 为原 EP4CE15 的工程目录。Input design name，可以从下拉框中直接选取。Device 为 AG16KL144A，同样选择 ve 文件。



点击 Next，参考页面说明 OR 上面的部分（确认前面已运行过 af\_prepare.tcl）即直接点击 Next。



下面进入编译界面中，可设置编译参数，或直接采用默认设置。



点击 Finish，进入编译过程，在 Console 窗口可查看编译信息 log。成功编译后，即生成配置烧写文件。

**提示：**如需继续修改原设计代码（不改变管脚），由于 af\_prepare.tcl 已把管脚设置好，可直接在原 Quartus 工程中修改代码并完全编译。然后在 Supra 中执行 Tools-Compile，即上面最后一步界面，点击 Run 完成最终编译。

## AG10K/16K FPGA 特性对照表

系列	AG10K			AG16K	
型号	AG10KL144 AG10KF256	AG10KSDE176	AG10KL144H (AG16KL144A)	AG16KF256	AG16KSDE176 AG16KSDE176G
可用逻辑资源	10K	10K	16K	16K	16K
管脚兼容	EP4CE10E22 EP4CE10F17	无	EP4CE10E22	EP4CE15F17	无
软件开发流程	管脚兼容 Migrate 流程	管脚不兼容 用 ve 文件 Prepare 流程	管脚兼容 Migrate 流程 管脚不兼容 用 ve 文件 Prepare 流程	管脚兼容 Migrate 流程	管脚不兼容 用 ve 文件 Prepare 流程
PS 压缩	不支持			支持	
SignalTap 调试	不支持			支持	
IP 远程升级	alta_boot			alta_remote	
IP MCU	alta_mcu			alta_mcu_m3	